

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-029940

(43)Date of publication of application : 31.01.1995

(51)Int.Cl.

H01L 21/60
H01L 23/12
H01L 23/40
H01L 21/338
H01L 29/812

(21)Application number : 05-171653

(71)Applicant : SUMITOMO ELECTRIC IND LTD

(22)Date of filing : 12.07.1993

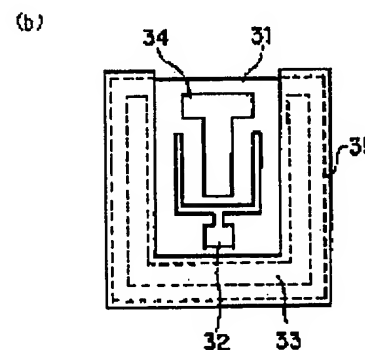
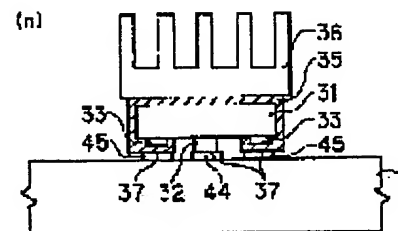
(72)Inventor : HASHINAGA TATSUYA
SEKIGUCHI TAKESHI
OTOBE KENJI
FUKUI JIRO
SAKAMOTO RYOJI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a semiconductor device wherein a field effect transistor operates with high reliability, by improving heat dissipation efficiency.

CONSTITUTION: In a semiconductor chip 31, a field effect transistor having a source earthing circuit is formed in the surface side region of a semiconductor substrate, and a gate electrode 32, a source electrode 23 and a drain electrode 34 are exposed on the surface side. A metal film 35 is formed on the surface from the upper part of the source electrode 33 to the rear along the side surface of the semiconductor chip 31. The surface side of the semiconductor chip 31 is bonded to an insulator board 1 by using conductive adhesive agent 37, in the manner in which the gate electrode 32, the source electrode 33, and the drain electrode 34 are electrically connected with an input wiring pattern, a metal wiring pattern, and an output wiring pattern, respectively. A heat sink 36 is bonded on the metal film 35 by using adhesive agent having an excellent thermal



conductivity.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-29940

(43) 公開日 平成7年(1995)1月31日

(51) Int.Cl. ⁹	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 21/60	3 1 1 S	6918-4M		
23/12	3 0 1 J			
23/40	F			
21/338				
		7376-4M	H 0 1 L 29/ 80	G

審査請求 未請求 請求項の数 2 O L (全 5 頁) 最終頁に続く

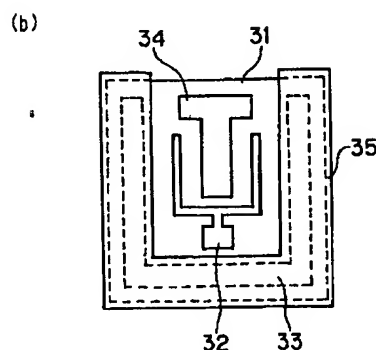
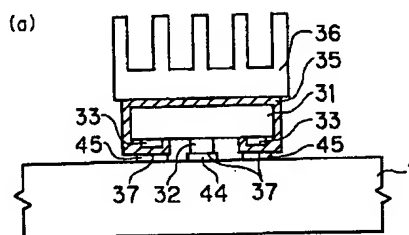
(21) 出願番号	特願平5-171653	(71) 出願人	000002130 住友電気工業株式会社 大阪府大阪市中央区北浜四丁目5番33号
(22) 出願日	平成5年(1993)7月12日	(72) 発明者	橋長 達也 神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社横浜製作所内
		(72) 発明者	関口 剛 神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社横浜製作所内
		(72) 発明者	乙部 健二 神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社横浜製作所内
		(74) 代理人	弁理士 長谷川 芳樹 (外3名) 最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】 (修正有)

【目的】 本発明は、放熱効果の向上により電界効果トランジスタが高信頼性で機能する半導体装置を提供する。

【構成】 半導体チップ31では、半導体基板の表面側領域にソース接地回路を有する電界効果トランジスタが形成されており、表面側にゲート電極32、ソース電極33及びドレイン電極34が露出されている。また、ソース電極33上から半導体チップ31の側面に沿って裏面に至る表面上には、金属膜35が形成されている。半導体チップ31の表面側は、入力配線パターン44、金属配線パターン45、出力配線パターン46にそれぞれゲート電極32、ソース電極33、ドレイン電極34を電気的に接続するように、導電性接着剤37を用いて絶縁体基板1に接着され、金属膜35上には、放熱板36が良好な熱伝導性を有する接着剤で接着されている。



【特許請求の範囲】

【請求項 1】 表面上に金属配線パターンが形成された絶縁体基板と、表面側に電界効果トランジスタを構成するソース電極、ゲート電極及びドレイン電極が露出して形成された半導体チップとを備え、前記半導体チップには、前記複数の電極の中から選択された一つの電極上から側面に沿って裏面に至るまで金属膜が形成されており、前記選択された電極上の金属膜及びその他の前記電極を前記金属配線パターンに直接に接続するように、前記半導体チップの表面側が前記絶縁体基板に対向配置して接着されていることを特徴とする半導体装置。

【請求項 2】 前記半導体チップは、前記裏面上に配置された前記金属膜上に放熱板を接着されていることを特徴とする請求項 1 記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、配線パターンを形成された絶縁体基板上に、電界効果トランジスタを形成された半導体チップが載置されており、無線通信などの分野において電波送信用の高出力増幅器として用いられる半導体装置に関する。

【0002】

【従来の技術】 従来、半導体チップの組込方法としては、主にワイヤボンディング法が用いられている。

【0003】 図 3 に、従来の半導体装置の構成を示す。絶縁体基板 1 上の中央部には、表面領域に電界効果トランジスタを形成された半導体チップ 2 1 が裏面側を接着して載置されている。この半導体チップ 2 1 の表面側には、ゲート電極 2 2、ソース電極 2 3、ドレイン電極 2 4 が形成されており、それぞれ金属ワイヤ 2 5、2 6、2 7 を介して絶縁板 1 上に形成された入力配線パターン 4 1、金属配線パターン 4 2、出力配線パターン 4 3 に電気的に接続されている。

【0004】 しかしながら、このようなワイヤボンディング法によれば、金属ワイヤの使用が作業性及び信頼性において問題をもたらしている。そのため、様々なワイヤレスボンディング法が開発されており、その一つとしてフリップチップ方式がある。

【0005】 このフリップチップ方式によれば、半導体装置は、絶縁体基板上の金属配線パターンと半導体チップから突出したパンプ構造を有する複数の電極がほぼ直接に接続されるように、絶縁体基板に対して半導体チップを位置合わせした上で接着することにより形成されている。

【0006】 なお、このような先行技術は、文献「IC 化実装技術、(編集) 日本マイクロエレクトロニクス協会、(発行) 工業調査会」などに詳細に記載されている。

【0007】

【発明が解決しようとする課題】 上記従来の半導体装置

によれば、電界効果トランジスタが高い熱抵抗を有する半導体基板に形成されていることにより、動作時の大きな発熱量が良好に放散されないので、動作不良が誘因されるという問題がある。

【0008】 また、電界効果トランジスタからの発熱が、電界効果トランジスタの各部位に摩耗劣化を促進するという問題もある。

【0009】 そこで、本発明は、以上の問題点に鑑みてもなされたものであり、放熱効果の向上により電界効果トランジスタが高信頼性で機能する半導体装置を提供することを目的とする。

【0010】

【課題を解決するための手段】 本発明の半導体装置は、上記の目的を達成するために、表面上に金属配線パターンが形成された絶縁体基板と、表面側に電界効果トランジスタを構成するソース電極、ゲート電極及びドレイン電極が露出して形成された半導体チップとを備え、半導体チップには、複数の電極の中から選択された一つの電極上から側面に沿って裏面に至るまで金属膜が形成されており、選択された電極上の金属膜及びその他の電極を金属配線パターンに直接に接続するように、半導体チップの表面側が前記絶縁体基板に対向配置して接着されていることを特徴とする。

【0011】 なお、上記半導体チップは、裏面上に配置された金属膜上に放熱板を接着されていることが好適である。

【0012】

【作用】 本発明によれば、半導体チップの表面側に露出された一つの電極上から側面に沿って裏面に至る表面上に、金属膜が形成されている。そのため、半導体チップに形成された電界効果トランジスタが動作すると、当該電極及びその近傍で発生したジュール熱は金属膜を伝導し、半導体チップの側面を経由して裏面側に到達するので、周囲の空气中に良好に放散される。したがって、電界効果トランジスタは良好に冷却される。

【0013】 また、半導体チップが表面側を絶縁体基板に接着されていることにより、一つの電極上の金属膜及びその他の電極が絶縁体基板上の金属配線パターンに直接に接続されている。そのため、これらの電極と金属配線パターンとの間において寄生インダクタンスはほとんど存在しないので、電界効果トランジスタの電気信号に及ぼす悪影響がほぼ消失される。

【0014】

【実施例】 以下、本発明に係る実施例の構成および作用について、図 1 及び図 2 を参照して説明する。なお、図面の説明においては同一要素には同一符号を付し、重複する説明を省略する。

【0015】 まず、本発明の半導体装置に係る一実施例の構成について説明する。図 1 (a) は本実施例の構成を示す断面図であり、図 1 (b) は図 1 (a) の実施例

3

に用いた半導体チップの構成を示す平面図である。

【0016】絶縁体基板 1 上には、A1 等からなる入力配線パターン 44、金属配線パターン (GND) 45 及び出力配線パターン 46 が所定の配置で形成されており、これらに半導体チップ 31 が載置されている。なお、これらの配線パターンは、絶縁体基板 1 の表面側における多層構造、あるいは絶縁体基板 1 の裏面側に通じるスルーボット構造を有している場合もある。

【0017】半導体チップ 31 では、Si 等からなる半導体基板の表面側領域にソース接地回路を有する電界効果トランジスタが形成されており、表面側にゲート電極 32、ソース電極 33 及びドレイン電極 34 のトランジスタ電極がバンプ構造を有して所定の配置で露出されている。また、ソース電極 33 上から半導体チップ 31 の側面に沿って裏面に至る表面上には、Au 等からなる金属膜 35 が金属メッキにより形成されている。

【0018】半導体チップ 31 の表面側は、入力配線パターン 44、金属配線パターン 45、出力配線パターン 46 にそれぞれゲート電極 32、金属膜 35、ドレイン電極 34 を接続するように、導電性接着剤 37 を用いて絶縁板 1 に接着されている。ソース電極 33 は、金属配線パターン 45 に電気的に接続されることにより接地されている。半導体チップ 31 の裏面側に位置する金属膜 35 上には、Al、Cu 等からなる放熱板 36 が良好な熱伝導性を有する接着剤で接着されている。この放熱板 36 は、下部が板状に、上部が多数の直立した棒状に形成されている。

【0019】なお、金属膜 35 でコーティングされたソース電極 33 としては、パッド部の他に同電位の金属露出部分も含まれている。また、ゲート電極 32 及びドレイン電極 34 は、半導体チップ 31 の表面上におけるソース電極 33 及び金属膜 35 からなる高さと比較し、ほぼ同一の高さを有するように形成されている。さらに、ゲート電極 32、ドレイン電極 34 は導電性接着剤 37 で直接にそれぞれ入力配線パターン 44、出力配線パターン 46 に接続されており、ソース電極 33 は金属膜 35 を介して導電性接着剤 37 で金属配線パターン 45 に接続されている。

【0020】次に、上記実施例の作用について説明する。

【0021】半導体チップ 31 に形成された電界効果トランジスタが動作すると、ソース電極 33 及びその近傍で発生したジュール熱は金属膜 35 を伝導して半導体チップ 31 の裏面側に到達し、放熱板 36 から周囲の空气中に良好に放散される。そのため、電界効果トランジスタは良好に冷却されるので、発熱による動作不良が低減される。また、電界効果トランジスタの各部位では、発熱による摩耗劣化が低減される。

【0022】また、ソース電極 33 を被覆する金属膜 35、ゲート電極 32、ドレイン電極 34 がそれぞれ入力

4

配線パターン 44、金属配線パターン 45、出力配線パターン 46 にほぼ直接に接続されている。そのため、これらの間において寄生インダクタンスはほとんど存在せず、導電性が良好に強化されている。したがって、電界効果トランジスタの電気信号に及ぼす悪影響がほぼ消失されるので、誤動作が低減される。

【0023】次に、本発明の半導体装置を利用した高出力増幅器の一実施例の構成について説明する。図 2 は、本実施例の構成を示す断面図である。

【0024】絶縁体基板 1 上には、小出力トランジスタ 2、高出力トランジスタ 3、入力コネクタ 5 及び出力コネクタ 6 がそれぞれ配線パターン部 4 を介して載置されている。小出力トランジスタ 2 は従来の半導体装置と同様に構成されており、半導体チップ 21 のゲート電極 22、ソース電極 23、ドレイン電極 24 はそれぞれ金属ワイヤ 25、26、27 を介して絶縁体基板 1 上の入力配線パターン 41、金属配線パターン 42、出力配線パターン 43 に電気的に接続されている。一方、高出力トランジスタ 3 は本発明の半導体装置と同様に構成されており、半導体チップ 31 のゲート電極 32、ソース電極 33、ドレイン電極 34 は導電性接着剤 37 を用いてそれぞれ絶縁体基板 1 上の入力配線パターン 44、金属配線パターン 45、出力配線パターン 46 に電気的に接続されている。

【0025】入力配線パターン 41 は入力コネクタ 5 に、出力配線パターン 46 は出力コネクタ 6 にそれぞれ電気的に接続されている。また、出力配線パターン 43 及び入力配線パターン 44 は、相互に電気的に接続されて形成されている。

【0026】次に、上記実施例の作用について説明する。

【0027】入力コネクタ 5 から入力された入力信号は、小出力トランジスタ 2 により比較的小さい増幅率で増幅された電気信号として高出力トランジスタ 3 に出力される。この高出力トランジスタ 3 は、上記のように放熱効果の向上及び寄生インダクタンスの低減によって比較的高い増幅率を有して高信頼性で機能することができる。そのため、高出力トランジスタ 3 に入力された電気信号は、比較的高い増幅率で増幅されて出力コネクタ 6 から出力される。

【0028】本発明は上記実施例に限られるものではなく、種々の変形が可能である。

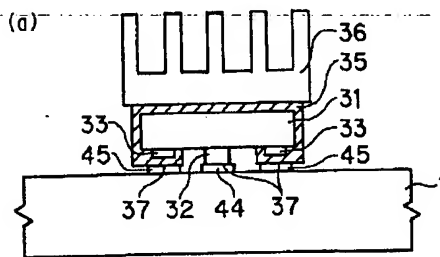
【0029】例えば、上記実施例の半導体装置では、電界効果トランジスタがソース接地回路を有するので、ソース電極上から半導体チップの側面に沿って裏面に至る表面上に金属膜が形成されている。一方、電界効果トランジスタがゲート接地回路、ドレイン接地回路を有する場合、それぞれゲート電極、ドレイン電極上から半導体チップの側面に沿って裏面に至る表面上に金属膜を形成することにより、同様な作用効果が得られる。

【0030】

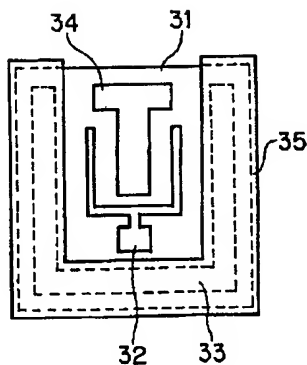
【発明の効果】以上詳細に説明したように、本発明の半導体装置によれば、半導体チップの表面側に露出された一つの電極上から側面に沿って裏面に至る表面上に、金属膜が形成されていることにより、電界効果トランジスタの動作によって発生したジュール熱は金属膜を伝導して裏面側に到達し、周囲の空气中に良好に放散される。そのため、電界効果トランジスタは良好に冷却されるので、発熱による動作不良及び各部位の摩耗劣化が低減されるという効果がある。

【0031】また、一つの電極上の金属膜及びその他の電極を絶縁体基板上の金属配線パターンにほぼ直接に接続するように、半導体チップが表面側を絶縁体基板に接着されていることにより、これらの電極と金属配線パターンとの間において寄生インダクタンスはほとんど存在していない。そのため、電界効果トランジスタの電気信号に及ぼす悪影響がほぼ消失するので、誤動作が低減されるという効果がある。

【図1】



(b)



【0032】したがって、本発明によれば、電界効果トランジスタは高出力増幅器として高信頼性で機能する。

【図面の簡単な説明】

【図1】(a)は本発明の半導体装置に係る一実施例の構成を示す断面図であり、(b)は(a)の実施例に用いた半導体チップの構成を示す平面図である。

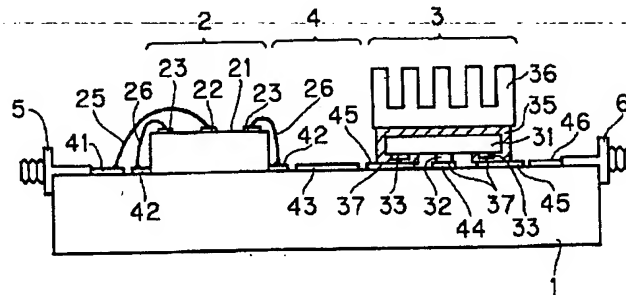
【図2】本発明の半導体装置を利用した高出力増幅器の一実施例の構成を示す断面図である。

【図3】従来の半導体装置の構成を示す斜視図である。

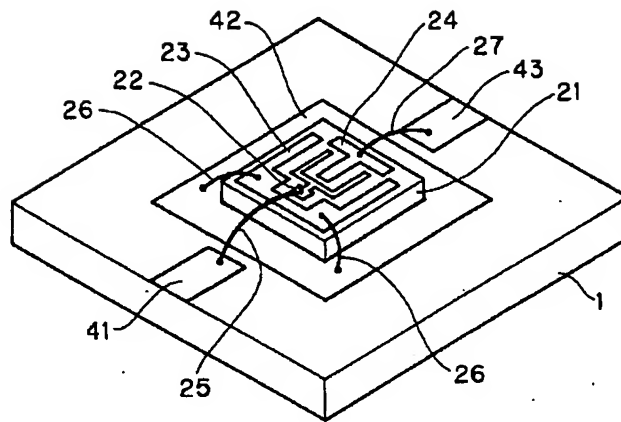
10 【符号の説明】

1…絶縁体基板、2…小出力トランジスタ、3…高出力トランジスタ、4…配線パターン部、5…入力コネクタ、6…出力コネクタ、21、31…半導体チップ、22、32…ゲート電極、23、33…ソース電極、24、34…ドレイン電極、25、26、27…金属ワイヤ、35…金属膜、36…放熱板、37…導電性接着剤、41、44…入力配線パターン、42、45…金属配線パターン、43、46…出力配線パターン。

【図2】



【図3】



フロントページの続き

(51) Int. Cl. 6

識別記号

庁内整理番号

F I

技術表示箇所

H O I L 29/812

(72) 発明者 福井 二郎

神奈川県横浜市栄区田谷町1番地 住友電
気工業株式会社横浜製作所内

(72) 発明者 坂本 良二

神奈川県横浜市栄区田谷町1番地 住友電
気工業株式会社横浜製作所内